

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

5565547

Basic Patent (No,Kind,Date): JP 61116334 A2 860603 <No. of Patents: 001>

ACTIVE MATRIX PANEL (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): MISAWA TOSHIYUKI

IPC: *G02F-001/133; G02F-001/133; G09G-003/36

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 61116334	A2	860603	JP 84237364	A	841109 (BASIC)

Priority Data (No,Kind,Date):

JP 84237364 A 841109

(3)

特開昭61-116334

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑨ 公開特許公報(A) 昭61-116334

⑪ Int. Cl.⁴ 識別記号 庁内整理番号 ⑫ 公開 昭和61年(1986)6月3日
 G 02 F 1/133 1 2 9 B-7348-2H
 1 1 8 D-6205-2H
 G 09 G 3/36 7436-5C 審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 アクティブマトリクスパネル

⑭ 特 願 昭59-237364

⑮ 出 願 昭59(1984)11月9日

⑯ 発 明 者 三 澤 利 之 新潟市大和3丁目3番5号 株式会社諏訪精工舎内

⑰ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑱ 代 理 人 弁理士 最 上 務

明 細 書

1 発明の名称

アクティブマトリクスパネル

2 特許請求の範囲

(1) 絶縁基板上に設けられた、走査線群、データ線群、駆動回路及びデータ線を駆動するドライバー、及び該走査線及びデータ線の交点に設けられた薄膜トランジスタアレイによって液晶を駆動して成るアクティブマトリクスパネルにおいて、

データ線ドライバーは、該データ線を駆動するためのラインメモリを具備して成ることを特徴とするドライバー内蔵アクティブマトリクスパネル。

(2) 前記データ線ドライバーは、データ線を駆動するためのバッファアンプを具備して成ることを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(3) 前記ドライバー内蔵アクティブマトリクス

パネルは、一水平走査期間が40μsecよりも少ない高品位パネルであることを特徴とする特許請求の範囲第1項乃至第2項記載のアクティブマトリクスパネル。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、ドライバー内蔵アクティブマトリクスパネル、特に走査線数が従来よりも多い高品位のパネルに関し、例えば画像テレビ等フラットディスプレイに利用される。

〔従来の技術〕

シリコン薄膜による薄膜トランジスタ(以下、TFTと略記する。)を用いて絶縁基板上に形成されたアクティブマトリクスパネル内に、同じシリコン薄膜によるTFTでドライバー回路を形成しようという試みは各所で展開されてきた。本発明者等は、世界に先がけてこの技術を開発し、先ごろこれを公表した(文献; E. Morosumi, et al. SID 84 DIGEST, P. 516, 1984)。

(4)

特開昭61-116334

特開昭61-116334(2)

公表されたドライバー内蔵アクティブマトリクスパネルは第8図に示される態様のものであり、走査線数210本、データ線数100本と比較的解像度の低いものであった。第8図において、71は画素エレメント、76はエッジシフトレジスタ、78はサンプリングホールド、77はエッジシフトレジスタである。

(発明が解決しようとする問題点)

アクティブマトリクスパネルの高解像化、例えば、高品位テレビへの応用、コンピュータの端末ディスプレイへの応用を試みる場合、走査線数が増加することは明白である。その場合、一定走査周波数は減少することになる。更に、高解像化に伴って、データ線の本数は必然的に増加し、また、パネル寸法が大変化するため、データ線に付加する圧力が増加する。この結果、

(i) 第8図のスイッチング回路77の書き込み能力が不足する。

(ii) 画像データをデータ線に書き込む際の、サンプリングホールド78の書き込み能力が不足す

る。5μsecにまで減少することが予想される。第9図(e)は、従来のドライバー内蔵アクティブマトリクスパネルの一例に示すようにドライバーと画素との配列の様子を示した図である。同図において、データ線10に付加するキャパシタ15に貯えられた画像データは、走査線11が選択されている期間21の間に、エッジ76を介して画素キャパシタ14に完全に書き込まれなくてはならない。第9図(f)は一水平走査線に相当するビデオ信号5、走査線選択信号6、エドドライバーのサンプリングパルス3、6、7を示したものである。第1本目のデータ線にはサンプリングパルス5によって画像データが書き込まれるため、同データ線から第1列目の画素への書き込み時間は同図に示す様に11であり、21に近い。一方、最終本目のデータ線にはサンプリングパルス7によって画像データが書き込まれるため、最終列の画素への書き込み時間は13であり、21に比べて著しく短い。従って、高解像化に伴って、前述のごとく走査線選択時間21が減少すると、特に最

る。

という二つの大きな問題が顕著になってくる。

以下、上記二つの問題点を、図を用いて詳しく説明する。周知の様に、MTRのビデオ信号は、インターレースされた二つのフィールド(奇数フィールド及び偶数フィールド)によって1フレームが構成され1枚の絵が完成される。絵画は交換駆動しなくてはならないため、第8図におけるドライバー内蔵パネルは第7図(e)の1に示す様な交換駆動されたビデオ信号で駆動される。(アクティブマトリクス液晶パネルの駆動方法に関しては、文献「商品化された液晶がセットカラーテレビ」、日経エレクトロニクス、1984年9月10日号P.211-240に詳しく述べられている。)従来技術に述べた様な、走査線220本の従来のアクティブマトリクスパネルの場合、走査線選択時間21は一本当たり4.5μsec確保できる。ところが、将来、パネルが高解像化され、走査線数が1000本、2000本に増加する場合に、一本当たりの走査線選択時間21は10μsec

略別に近い画素への画像データの書き込みが難しくなり、パネルの左右での表示ムラが顕著化する結果となる。これが先に述べた問題点(ii)である。一方、パネルが正常に動作するためには、第9図(f)において、データ線10へ5μsecサンプリングパルス5を介してビデオ信号が書き込まれる期間は、サンプリングパルス幅2μsec以内でなくてはならない。高解像化に伴って走査線選択時間21が減少し、データ線数が増加し、大変化するに伴ってデータ線容量15の値が増大した場合、サンプリングパルス幅2μsecは著しく短縮されて、5μsecサンプリングパルスを介して2μsec以内でデータ線10に画像データを書き込むことは非常に困難となる。これが、問題点(2)である。

本発明は、以上に述べた二つの大きな問題点を解決し、大画面、高解像度のドライバー内蔵アクティブマトリクスパネルを実現することを目的とする。

(問題点を解決するための手段)

前記で取り上げた二つの問題点を解決するため

(5)

特開昭61-116334

特開昭61-116334(3)

、本発明は次の述べる手段を設ける。

(a) エドライバー内に、少なくとも一定差動分のラインメモリーをシリコン薄膜エフエエによって設け、アクティブマトリクスパネルを逐次駆動する。

(b) エドライバー内に、データ線を駆動するためのバッファアンプをシリコン薄膜エフエエによって設ける。

(作用)

エドライバー内にエフエエによるラインバッファアンプを設けて、パネルを逐次駆動することにより、すべての画素について、データ線から画像データを書き込む時間を等しくすることが出来、また、その書き込み時間を一定差動選択時間エフエエに等しく設定することが可能となる。更に、エドライバー内にエフエエによるバッファアンプを設けることによって、短いサンプリング時間に、ビデオ信号を確実にデータ線に書き込むことを可能ならしめる。

性M03エフエエ構造の伝送ゲートとして構成される。また、ダイナミック型ラインメモリーは、ゲート酸化膜又は層間絶縁膜を有して形成されたキャパシタである。バッファアンプ50、51、52、53は、エフエエによって構成された電圧利得が1の電流増幅器であり、その具体例を第2図(a)、(b)に示す。第2図(c)において、54はV_{DD}エフエエ、55は漏れ抵抗又はMOS抵抗である。図(c)において、56はV_{DD}エフエエ、57はV_{SS}エフエエである。また、図(c) (d)、(e)で、V_{DD}、V_{DD}、V_{DD}、V_{DD}は、それぞれ、入力端子、出力端子、正電源、負電源を示す。

次に、第1図に第3図を併用して、第一の実施例の動作を説明する。第1図の端子V_{DD}には、第3図に示すビデオ信号58が、端子V_{SS}にはスチートレベル61が印加される。このとき、シフトレジスタ21の各出力端子37~40にはサンプリングパルス42、43が出力され、サンプルホールド電圧23~26を介して、ラインメモリー

(実施例)

以下、図面を用いて本発明の実施例を詳細に説明する。本発明の実施例として二例を挙げ、それぞれについて構造と動作を説明する。

第1図は、本発明の第一の実施例である。図面に示すドライバ内蔵アクティブマトリクスパネルは、図面アレイ11、エドライバー、エドライバーより成る。図面アレイは走査線42~45、データ線46~49、スイッチング用エフエエ55及び画素キャパシタ34より構成され、エドライバーは相補型MOSエフエエ又は単極性MOSエフエエから成るシフトレジスタ22より構成され、エドライバーは、相補型MOSエフエエ又は単極性MOSエフエエから成るシフトレジスタ21、サンプルホールド電圧23、24、25、26、ダイナミック型ラインメモリー27、28、29、30、アナログスイッチ31、32、33、34及びバッファアンプ50、51、52、53より成る。サンプルホールド電圧23~26及びアナログスイッチ31~34は、相補型MOSエフエエ構造又は単極

27~30に画像データを取り込む。一本走査時間(以下、1H)のすべての画像データがサンプリングされた後に、ラッチパルス64が端子L₁に印加され、画像データはバッファアンプ50~53を通じて一斉にデータ線46~49に書き込まれる。一方、走査線42~45には59、60の様な走査線選択信号が出力され、選択された走査線に付加する一行の画素に一斉に画像データが書き込まれる。

第4図に本発明の第二の実施例を示す。同実施例において、エドライバー及び図面アレイは第一の実施例と全く同じに構成される。従って、それらには第1図と同一の記号を付す。本実施例が第一の実施例と異なるところは、画像データがアナログ信号でなくデジタル信号として与えられる点である。第4図には画像データが1ビット即ち2値画像として与えられる場合を示す。第4図において、エドライバーは、エフエエによるシフトレジスタ65、エフエエによるラインメモリー66~69及びエフエエによるアナログスイッチ70~

(6)

特開昭61-116334

特開昭61-116334(4)

73から構成される。ラインメモリ1ビット分の具体的な構成例を第5図に示す。第5図において、74、75は相補型CMOSエフェクタによる伝送ゲート、76、77、78は相補型CMOSエフェクタによるインバータである。

次に、第6図を併用して第二の実施例の動作を説明する。第4図の端子Eに第4図の図像データ79が印加されシフトレジスタ85によって伝送される。1エの伝送が終了した後、端子レPに印加されているクックパルス80によって図像データはラインメモリ64-67に取り込まれ、アナログスイッチ70-73がV1側、V2側のどちらに開かれるか決定される。端子V1、V2には、61、62の熱な交流電圧が加えられた液晶駆動電圧が印加されており、アナログスイッチ70-73によって選択された電圧がデータ線64-67に1エの間印加され、選択された走査線に付加する行の画素に書き込まれる。

第7図に、ドライバー部を相補型CMOSエフェクタ、画素アレイ部をNMOSエフェクタで構成した場合

及びデータ線への書き込み時間を長くできるため、特に高輝度化を望みしないパネルにおいても、シリコン結晶エフェクタが本来持っている0.1μm程度の小さいという弱点を越えることが出来る。

また、同じ特性を有するエフェクタでドライバー内蔵アクティブマトリクスパネルを構成する場合、書き込み時のマージンの大きい本発明を利用することによって従来よりも低い電圧で駆動することが可能となり、低電力化が達成される。

4図面の簡単な説明

第1図及び第2図(α)、(β)は、本発明の第一の実施例の構造を示した図。

第3図は、本発明の第一の実施例の動作を説明するための図。

第4図及び第5図は、本発明の第二の実施例の構造を示した図。

第6図は、本発明の第二の実施例の動作を説明するための図。

第7図は、本発明の構造を示す断面図。

のドライバー内蔵アクティブマトリクスパネルの断面構造の一例を示す。断面において、85は絶縁基板、86は第一のシリコン薄膜層、87はゲート絶縁膜層、88は第二のシリコン薄膜層、89は層間絶縁膜層、90は透明導電膜層である。また、93、94はそれぞれドライバーを構成するPMOSエフェクタ、NMOSエフェクタであり、95は画素エレメントを構成するNMOSエフェクタである。

(効果)

エドドライバー内にエフェクタによるラインメモリ、及び(又は)バッファアンプを作り込む本発明の構造を採用することによって、先に述べた、パネルの高精度化に伴う二つの問題点、

(1) 画素アレイ部のスイッチングエフェクタの書き込み能力の不足

(2) エドドライバー部のサンプル&ホールドの書き込み能力の不足

は、コスト上昇無しに完全に解決される。

更に、本発明によって、画素への書き込み時間

第8図は、従来の技術を説明するための図。

第9図(イ)～(ロ)は、本発明が解決しようとする問題点を説明するための図。

以 上

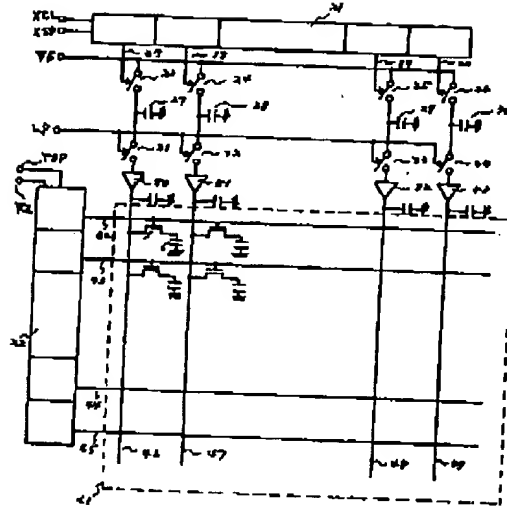
出願人 株式会社東洋紡織工業

代理人 弁護士 最上

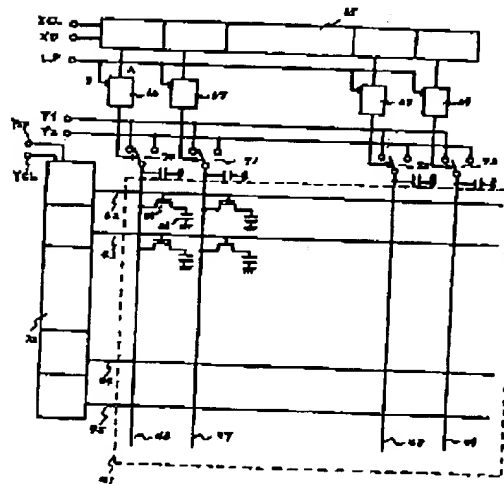


(7)

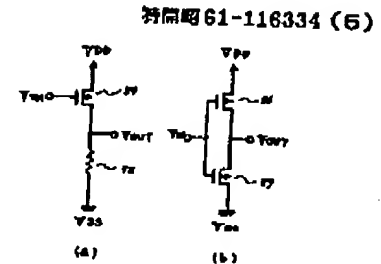
特開昭61-116334



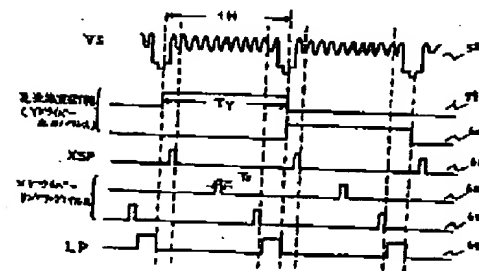
第 1 図



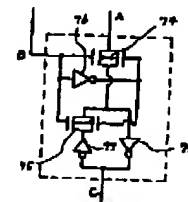
第 4 図



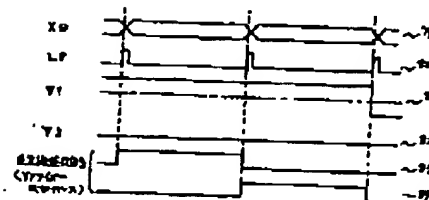
第 2 図



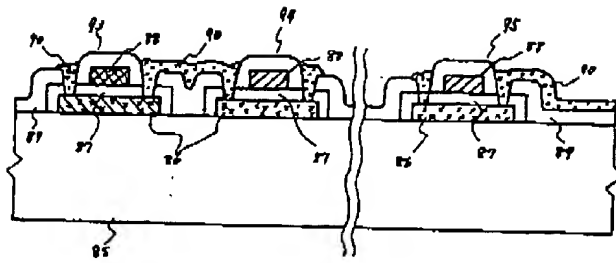
第 3 図



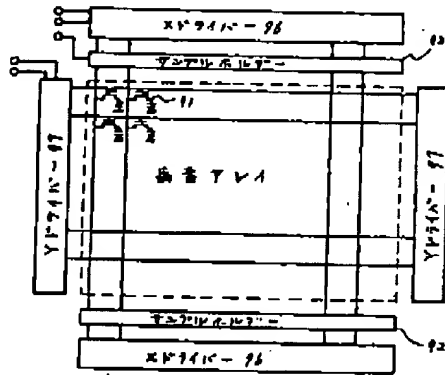
第 5 図



第 6 図

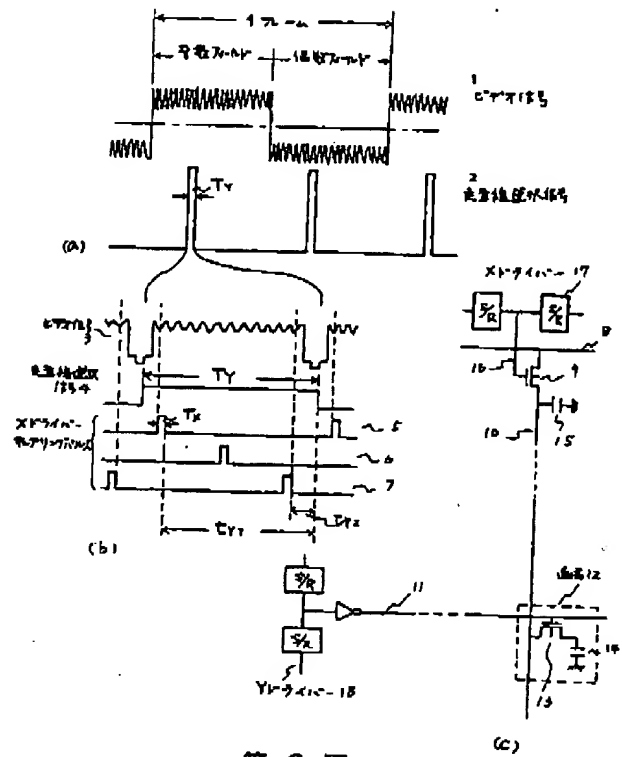


第 7 図



第 8 図

特開昭 61-116334 (6)



第 9 図